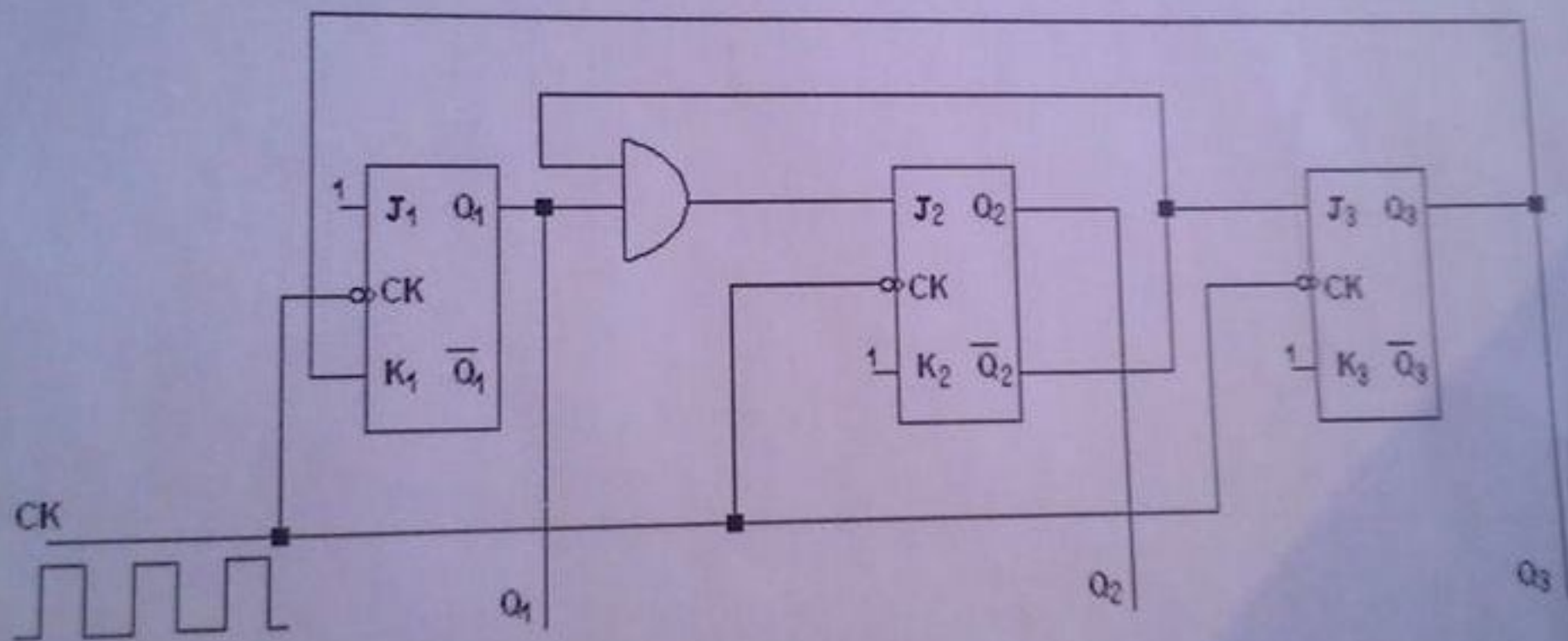


Coloquio Integrador 66.01 - Técnica Digital - Tema J

1) Utilizando biestables JK de flanco **descendente**, diseñar un circuito que permita a partir de una frecuencia de entrada de 256 KHz obtener una frecuencia de salida de 32 KHz. Graficar el diagrama de tiempos considerando **retardos**.

2) Obtener el diagrama de estados **completo**, módulo y código del siguiente **contador síncrono**:



3) Utilizando FF JK conectados como Registro de Desplazamiento, implementar un contador en anillo de 4 bits que cuente con 1 uno. Asegurar que el circuito se inicie en el estado 1000 (Q₁Q₂Q₃Q₄). Realizar el diagrama de estados **completo**.